

⑫ 公開特許公報(A)

平4-195188

⑤ Int. Cl.⁵G 09 G 3/28
H 04 N 5/66
5/70

識別記号

1 0 1 K
B
A

庁内整理番号

9176-5G
7205-5C
7205-5C

④ 公開 平成4年(1992)7月15日

審査請求 未請求 請求項の数 6 (全11頁)

⑬ 発明の名称 フラット型表示装置の階調駆動方法及び階調駆動装置

⑰ 特 願 平2-331589

⑱ 出 願 平2(1990)11月28日

⑲ 発 明 者 篠 田 傳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

フラット型表示装置の階調駆動方法及び階調駆動装置

2. 特許請求の範囲

- (1) 画面(4)(4a)がメモリー機能を有した画素(C)の集合によって構成されたフラット型表示装置(3)(3a)の階調駆動方法であって、

前記画面(4)(4a)に表示される1つのフレーム(FM)を複数のサブフレーム

(SF)に時間的に分割し、

分割したそれぞれのサブフレーム(SF)を、

全画面(4)(4a)の画素(C)に対して、メモリー媒体を選択的に形成して表示データの書き込みを行う第1ステップ(CY a)と、

全画面(4)(4a)の画素(C)に対し

て、前記メモリー媒体が形成された画素(C)を表示させる第2ステップ(CY i)とによって表示するとともに、

前記各サブフレーム(SF)の第2ステップ(CY i)の時間的長さを、それぞれのサブフレーム(SF)に対して与えられた重みに応じて相違させ、

前記サブフレーム(SF)を合成することによって1つのフレーム(FM)の階調表示を行う

ことを特徴とするフラット型表示装置の階調駆動方法。

- (2) 前記第1ステップ(CY a)において、

全画面(4)(4a)の画素(C)に対してメモリー媒体を形成した後に、形成されたメモリー媒体を選択的に消去することにより、表示データの書き込みを行う

ことを特徴とする請求項1記載のフラット型表示装置の階調駆動方法。

- (3) 前記第1ステップ(CY a)において、

BEST AVAILABLE COPY

全画面(4)(4a)の画素(C)に対して同時に書き込みパルス(Pw)を印加しメモリー媒体を形成した後に、

ライン毎に順次走査することにより、形成されたメモリー媒体を選択的に消去し、表示データの書き込みを行う

ことを特徴とする請求項1記載のフラット型表示装置の階調駆動方法。

- (4) 前記メモリー媒体が壁電荷である請求項1から請求項3のいずれかに記載のフラット型表示装置の階調駆動方法。
- (5) 前記メモリー媒体が空間電荷である請求項1から請求項3のいずれかに記載のフラット型表示装置の階調駆動方法。
- (6) 画面(4)(4a)がメモリー機能を有した画素(C)の集合によって構成されたフラット型表示装置(3)(3a)の階調駆動装置であって、

前記画面(4)(4a)に表示される1つのフレーム(FM)を複数のサブフレーム

(SF)に時間的に分割するサブフレーム分割処理手段(13)と、

分割したそれぞれのサブフレーム(SF)を、全画面(4)(4a)の画素(C)に対して、メモリー媒体を選択的に形成して表示データの書き込みを行う第1ステップ(CYa)と、全画面(4)の画素(C)に対して、前記メモリー媒体の形成された画素(C)を表示させる第2ステップ(CYi)とによって表示するとともに、前記各サブフレーム(SF)の第2ステップ(CYi)の時間的長さを、それぞれのサブフレーム(SF)に対して与えられた重みに応じて相違させるように、前記画面(4)(4a)をスキャンするスキャン処理手段(14)と

を有してなることを特徴とするフラット型表示装置の階調駆動装置。

3. 発明の詳細な説明

(概 要)

プラズマディスプレイ装置やELディスプレイ装置などのフラット型表示装置の階調駆動方法及び階調駆動装置に関し、

階調表示を行うために必要な駆動時間を短くすることができ、階調性の高い表示を行うことのできる階調駆動方法及び装置を提供することを目的とし、

画面がメモリー機能を有した画素の集合によって構成されたフラット型表示装置の階調駆動方法であって、前記画面に表示される1つのフレームを複数のサブフレームに時間的に分割し、分割したそれぞれのサブフレームを、全画面の画素に対して、メモリー媒体を選択的に形成して表示データの書き込みを行う第1ステップと、全画面の画素に対して、前記メモリー媒体が形成された画素を表示させる第2ステップとによって表示するとともに、前記各サブフレームの第2ステップの時間的長さを、それぞれのサブフレームに対して与えられた重みに応じて相違させ、前記サブフレームを合成することによって1つのフレームの階調

表示を行うように構成する。

(産業上の利用分野)

本発明は、プラズマディスプレイ装置やELディスプレイ装置などのフラット型表示装置の階調駆動方法及び階調駆動装置に関する。

フラット型表示装置は、奥行き寸法が小さく且つ大型の表示画面を実現できるため、その利用範囲を急速に拡大しつつある。

これにともなって、表示画像の品質の一層の向上が望まれており、例えばハイビジョンの表示装置として利用するために、256階調程度の高い階調性を実現することが要望されている。

(従来の技術)

従来より、フラット型表示装置の画面に表示される1つのフレームを複数のサブフレームに時間的に分割し、分割したそれぞれのサブフレームの表示時間に重みを付けることによって階調表示を行うことが提案されている(特公昭51-320

51号公報)。

第8図は第4図に示す対向放電型のPDP(プラズマディスプレイパネル)3を階調表示するための従来の階調駆動方法を示す図である。第8図に示す電圧波形は、各放電セルにおいてX電極及びY電極に印加される波形の合成波形を示している。

従来の階調駆動方法では、書き込みパルス P_w 、消去パルス P_f 、及び維持パルス P_s を、水平方向のラインであるY電極 Y_j 、 Y_{j+1} 、 Y_{j+2} …に対して順に印加する書き込みサイクル CY_w と、維持パルス P_s のみを印加する維持サイクル CY_m とが設けられている。

書き込みサイクル CY_w は、上方のラインから順に1サイクルずつ遅れて実行され、それぞれのラインにおいて、書き込みサイクル CY_w の後に維持サイクル CY_m が実行される。

各ラインにおいては、書き込みサイクル CY_w の書き込みパルス P_w によって壁電荷が形成され、消去パルス P_f によってその壁電荷が消去される。

ス P_s が印加されるのでそれだけ時間を要し、画面4の全体に対する表示データの書き込みのために多くの時間を要する。

すなわち、書き込みパルス P_w 、消去パルス P_f 、及び維持パルス P_s の各パルス幅を T_w 、 T_f 、 T_s とし、ライン数を m とすると、階調性が 2^n である場合に1フレームの表示に必要な時間 T_h は、

$$T_h = (T_w + T_f + T_s) \times m \times n \quad \dots\dots(1)$$

となる。

したがって、 $m=400$ とし、且つ1分間に60フレームを表示するとし、例えば16階調($n=4$)の階調性を持たせた場合には、1つのサブフレームに与えられる時間は $10\mu s$ 程度となってしまう。この時間内に書き込みサイクル CY_w 及び維持サイクル CY_m を実行するためには、駆動周波数を相当高くする必要がある。

しかし、駆動周波数を高くすると、消費電力が大きくなり、また、壁電荷の蓄積時間の関係で動作マージンが小さくなるため、高くできる周波数

そのとき、消去しない画素(放電セルC)について、つまり実際に書き込みの必要な画素について、X電極 X_i 、 X_{i+1} 、 X_{i+2} …に対して消去パルス P_f と同時にそれを打ち消すキャンセルパルス P_c が選択的に印加され、その結果、キャンセルパルス P_c が印加された画素についてのみ、選択的に壁電荷が形成されて書き込みが行われる。

維持パルス P_s は、全部の画素に対して同時に印加され、壁電荷が形成されている画素のみが発光して表示が行われる。

各ライン毎に実行される書き込みサイクル CY_w と維持サイクル CY_m とによって1つのサブフレームが表示され、各サブフレームにおける維持サイクル CY_m の時間的長さに重みをつけることによって1つのフレームの階調表示が行われる。

(発明が解決しようとする課題)

しかし、上述した従来の階調駆動方法では、各ライン毎に書き込みサイクル CY_w が別個に設けられ、その度毎に書き込みパルス P_w 及び維持パル

に限界があり、上述の階調性の実現は極めて困難である。

また、画面4の全体で見ると、書き込みサイクル CY_w と維持サイクル CY_m とが同時に実行されるため、維持サイクル CY_m を書き込みサイクル CY_w と同じ周期にする必要があり、輝度の制御、例えば人間の目のガンマ特性に合った階調性を実現するような輝度の制御が難しいという問題もある。

本発明は、上述の問題に鑑み、階調表示を行うために必要な駆動時間を短くすることができ、階調性の高い表示を行うことのできる階調駆動方法及び装置を提供することを目的としている。

(課題を解決するための手段)

請求項1の発明に係る階調駆動方法は、上述の課題を解決するため、第1図～第7図に示すように、画面4、4aがメモリー機能を有した画素Cの集合によって構成されたフラット型表示装置3、3aの階調駆動方法であって、前記画面4、4a

に表示される1つのフレームFMを複数のサブフレームSFに時間的に分割し、分割したそれぞれのサブフレームSFを、全画面4、4aの画素Cに対して、メモリー媒体を選択的に形成して表示データの書き込みを行う第1ステップCYaと、全画面4、4aの画素Cに対して、前記メモリー媒体が形成された画素Cを表示させる第2ステップCYiとによって表示するとともに、前記各サブフレームSFの第2ステップCYiの時間的長さを、それぞれのサブフレームSFに対して与えられた重みに応じて相違させ、前記サブフレームSFを合成することによって1つのフレームFMの階調表示を行う。

請求項2の発明に係る階調駆動方法は、前記第1ステップCYaにおいて、全画面4、4aの画素Cに対してメモリー媒体を形成した後に、形成されたメモリー媒体を選択的に消去することにより、表示データの書き込みを行う。

請求項3の発明に係る階調駆動方法は、前記第1ステップCYaにおいて、全画面4、4aの画

素Cに対して、前記メモリー媒体の形成された画素Cを表示させる第2ステップCYiとによって表示するとともに、前記各サブフレームSFの第2ステップCYiの時間的長さを、それぞれのサブフレームSFに対して与えられた重みに応じて相違させるように、前記画面4、4aをスキャンするスキャン処理手段14とを有してなる。

(作 用)

1つのフレームFMは、複数のサブフレームSFが時間軸上で合成されることによって表示される。

それぞれのサブフレームSFは、第1ステップCYaによってメモリー媒体が選択的に形成され、第2ステップCYiによって所定の時間表示される。

第1ステップCYaは、画面4、4aの全体、すなわち全画素Cに対して同時に行われる。但し、画面4、4aを複数の画面に分割し、分割したそれぞれの画面毎に行ってもよい。

素Cに対して同時に書き込みパルスPwを印加しメモリー媒体を形成した後に、ライン毎に順次走査することにより、形成されたメモリー媒体を選択的に消去し、表示データの書き込みを行う。

請求項4の発明に係る階調駆動方法は、前記メモリー媒体が壁電荷であるフラット型表示装置についてである。

請求項5の発明に係る階調駆動方法は、前記メモリー媒体が空間電荷であるフラット型表示装置についてである。

請求項6の発明に係る階調駆動装置は、画面4、4aがメモリー機能をもった画素Cの集合によって構成されたフラット型表示装置3、3aの階調駆動装置であって、前記画面4、4aに表示される1つのフレームFMを複数のサブフレームSFに時間的に分割するサブフレーム分割処理手段13と、分割したそれぞれのサブフレームSFを、全画面4、4aの画素Cに対して、メモリー媒体を選択的に形成して表示データの書き込みを行う第1ステップCYaと、全画面4、4aの画素C

第2ステップCYiの時間的長さは、それぞれのサブフレームSFに対して与えられた重みに応じて相違し、それぞれの画素Cについて、サブフレームSFの組み合わせによって階調表示が行われる。

(実施例)

以下、本発明の実施例を図面を参照しつつ説明する。

第1図は本発明に係る階調駆動方法を説明するための図、第4図は対向放電型のPDP（プラズマディスプレイパネル）3の概略の構成図である。第1図においては、1フレームFMを4つのサブフレームSF1～4に分割した場合の例が示されている。

第4図において、PDP3の画面4は、縦方向に延びるX電極Xiと横方向に延びるY電極Yjとのそれぞれの交点において放電セルCが画定され、各放電セルCが放電により選択的に発光することによって表示が行われる。

第1図において、その横方向は時間軸であり、画面4に表示される1フレームFMを4つのサブフレームSF1~4に時間的に分割し、分割したそれぞれのサブフレームSF1~4を、それぞれ、アドレスサイクルCYa（第1ステップ）と表示サイクルCYi（第2ステップ）とによって表示する。

アドレスサイクルCYaでは、画面4全体の画素（放電セルC）に対して壁電荷を同時に形成した後、形成された壁電荷を選択的に消去することにより、表示データの書き込みを行う。

そして、各サブフレームSF1~4の表示サイクルCYiの時間的長さを、それぞれのサブフレームSF1~4に対して与えられた重みに応じて順次長くなるように設定し、これらのサブフレームSF1~4を合成することによって、1フレームFMの階調表示を行うのである。

次に、第2図及び第3図に基づいてさらに具体的に説明する。

第2図はPDP3に印加される駆動電圧の波形

を示す図、第3図はPDP3のX電極Xi及びY電極Yjにそれぞれ印加される駆動電圧の波形を示す図である。なお第2図は第3図の波形の合成波形である。

アドレスサイクルCYaは、各ラインであるY電極Yj、Yj+1、Yj+2...に対して、同時に実行される。

アドレスサイクルCYaにおいては、全部のライン（したがって全部の画素）に対して同時に書き込みパルスPwが印加され、これによって壁電荷が形成される。

次に、各ライン毎に、順次、消去パルスPfが印加されるとともに、それぞれの消去パルスPfの印加と同時に、当該サブフレームSF1~4において発光表示すべき画素について、キャンセルパルスPcがX電極Xi、Xi+1、Xi+2...から印加される。キャンセルパルスPcが印加されなかった画素は、消去パルスPfによって壁電荷が消滅するが、キャンセルパルスPcが印加された画素は、消去パルスPfがキャンセルパルス

Pcによって打ち消され、その結果壁電荷が維持される。

つまり、消去パルスPfとキャンセルパルスPcによって壁電荷が選択的に消去され、表示データの書き込みが行われる。

表示サイクルCYiにおいては、全部のラインに対して同時に維持パルスPsが印加され、これによって、壁電荷が形成されている（維持されている）画素が発光する。

表示サイクルCYiにおいて、各画素の輝度は維持パルスPsの個数に応じて決まる。

各サブフレームSF1~4の長さは、例えば1対2対4対8となるように、それぞれの表示サイクルCYiにおける維持パルスPsの個数が設定されており、これによって、それぞれの比に応じた輝度を得られるようになっている。

これらのサブフレームSF1~4を合成することによって、1フレームFMの階調表示が行われる。

なお、第3図に示されるように、Y電極Yjに

は、正方向の維持パルスPsy、書き込みパルスPw、及び消去パルスPfが印加され、X電極Xiには、正方向の維持パルスPsx、及び画素毎に選択されたキャンセルパルスPcが印加される。

第5図はPDP3aのX電極X、Y電極Yj、及びアドレス電極Anにそれぞれ印加される駆動電圧の波形を示す図、第6図は特開昭57-78751号又は特開昭61-39341号公報などにより周知の三電極構造を持った面放電型のPDP3aの概略の構成図である。

第6図において、PDP3aの画面4aは、横方向に延びる互いに平行なX電極X及びY電極Yjと、縦方向に延びるアドレス電極Anとのそれぞれの交点において、放電セルCが画定されている。

第5図において、各ラインであるY電極Yj、Yj+1、Yj+2...及びX電極Xに対して、同時にアドレスサイクルCYaが実行される。

アドレスサイクルCYaにおいては、全部のラインに対して同時に書き込みパルスPwがX電極

Xから印加され、これによって壁電荷が形成される。

次に、各ライン毎に、順次、消去パルスP_iがY電極から印加されるとともに、それぞれの消去パルスP_iの印加と同時に、当該サブフレームSF₁～4において発光表示すべき画素（放電セルC）について、消去アドレスパルスP_aがアドレス電極A_nから印加される。

消去アドレスパルスP_aが印加された画素のみについて、消去用放電が発生し壁電荷が消去される。一方、消去アドレスパルスP_aが印加されない画素は壁電荷が維持される。

表示サイクルCY_iにおいては、全部のラインに対して同時に維持パルスP_{s_y}、P_{s_x}が印加され、これによって、壁電荷が形成されている画素が発光する。

サブフレームSF₁～4に応じて表示サイクルCY_iの長さ（維持パルスP_{s_y}、P_{s_x}の個数）が相違し、それぞれの長さに応じた輝度得られるようになっている。

スキャン処理部14は、サブフレーム分割処理部13から出力される各サブフレームSFの画像データD₃、及びタイミング制御部15からのタイミング信号に基づいて、PDP3のY電極駆動回路31及びX電極駆動回路32をスキャンする。

スキャン処理部14には、キャンセルパルスP_cを発生するキャンセルパルス発生回路（PDP3aに対しては消去アドレスパルス発生回路）21、書き込みパルスP_wを発生する書き込みパルス発生回路22、維持パルスP_sを発生する維持パルス発生回路23、これらの信号を合成する合成回路24などが設けられている。

タイミング制御部15は、サブフレーム分割処理部13の処理のタイミング、キャンセルパルスP_cを出力するタイミング、各サブフレームSFにおける表示サイクルCY_iの終了のタイミングなど、種々のタイミング信号を出力する。

次に、階調駆動装置5の動作について説明するが、PDP3に印加される電圧波形などについては先に説明したのと同様であるので、詳しい説明

これらのサブフレームSF₁～4を合成することによって、1フレームFMの階調表示が行われる。

第7図は本発明に係る階調駆動装置5を示すブロック図である。

階調駆動装置5は、AD変換部11、フレームメモリ12、サブフレーム分割処理部13、スキャン処理部14、タイミング制御部15などから構成されている。

AD変換部11は、アナログ信号である入力信号S₁を量子化してデジタル信号である画像データD₂に変換する。

フレームメモリ12は、AD変換部11から出力される1フレーム分の画像データD₂を格納する。

サブフレーム分割処理部13は、フレームメモリ12に格納された1フレームFMの画像データD₂を、階調に応じた個数のサブフレームSFに分割し、それぞれのサブフレームSFの画像データD₃を出力する。

を省略する。

フレームメモリ12に1画素当たりnビットの画像データD₂が格納され、これを2ⁿ階調で表示する場合には、サブフレーム分割処理部13は、画像データD₂の最下位ビットから順に最上位ビットまで、それぞれのビットのみからなるn種類の2値の画像データD₃を順次出力する。

これらの画像データD₃に基づいて、キャンセルパルス発生回路21は、それぞれのラインのスキャン時においてそれぞれの水平方向位置に対応したキャンセルパルスP_cを発生する。

タイミング制御部15は、サブフレーム分割処理部13が出力するビット位置の画像データD₃に応じて、それぞれのサブフレームSFの表示サイクルCY_iの長さが所定の値になるように、タイミング制御信号を出力する。

合成回路24は、各パルス発生回路21～23からのパルス信号を合成することによって、各サブフレームSFにおいてアドレスサイクルCY_a及び表示サイクルCY_iが実行されるように、第

3図に示す電圧波形のスキヤン信号を作成して出力する。

上述の実施例によると、書き込みパルスPwが全部の画面4に対して同時に印加され、これによって同時に壁電荷が形成されるので、従来のようにライン毎に順次維持パルスPs及び書き込みパルスPwを印加する階調駆動方法に比較して、壁電荷を形成するのに必要な時間が大幅に減少する。

そのため、従来と同じ階調性を従来よりも低い駆動周波数で得ることができ、それだけ消費電力を低くすることができるとともに、動作マージンを確保するために維持パルスPsのパルス幅を充分大きくすることが可能である。

また、従来と同じ周波数の場合には、従来に比較して階調性の高い表示を行うことが可能であり、高品質の画像を表示することができる。したがって、PDP3をハイビジョンに利用することが可能となってくる。

また、各サブフレームSF1~4において、アドレスサイクルCYaと表示サイクルCYiとが

互いに独立しており、表示サイクルCYiにおける維持パルスPsの周期をアドレスサイクルCYaの周期に同期させる必要がないため、表示サイクルCYi内の維持パルスPsの個数を任意に設定することができる。

したがって、輝度の制御が容易であり、各サブフレームSF1~4の長さの比を、例えば人間の目のガンマ特性に合った階調性に近くなるように設定することが容易であるとともに、信頼性、回路設計の自由度、コストなどにおいて有利である。

上述の実施例においては、1フレームFMを4つのサブフレームSF1~4に分割したが、3つ以下又は5つ以上のサブフレームSFに分割してもよい。各サブフレームSFにおける表示サイクルCYiの長さは、種々の比率に設定することが可能である。表示サイクルCYiの長さとして、アドレスサイクルCYaにおける維持パルスPsの長さを加算してもよい。X電極、Y電極、アドレス電極に印加する電圧波形は、上述以外に種々の波形とすることができる。PDP3、3a、階

調駆動装置5の構造及び構成は、上述した以外に種々異なったものとすることができる。

上述の実施例においては、メモリー媒体が壁電荷であるAC型のPDP3、3aについて説明したが、メモリー媒体が空間電荷であるDC型のPDP、EL表示装置又は液晶表示装置などの他のメモリー媒体を持つものに対しても適用することができる。

(発明の効果)

本発明によると、階調表示を行うために必要な駆動時間を短くすることができ、階調性の高い表示を行うことのできる階調駆動方法及び装置を提供することができる。

4. 図面の簡単な説明

第1図は本発明に係る階調駆動方法を説明するための図、

第2図は対向放電型のPDPに印加される駆動電圧の波形を示す図、

第3図は対向放電型のPDPのX電極及びY電極にそれぞれ印加される駆動電圧の波形を示す図、

第4図は対向放電型のPDPの概略の構成図、

第5図は面放電型のPDPのX電極、Y電極、及びアドレス電極にそれぞれ印加される駆動電圧の波形を示す図、

第6図は面放電型のPDPの概略の構成図、

第7図は本発明に係る階調駆動装置を示すブロック図、

第8図は対向放電型のPDPを階調表示するための従来の階調駆動方法を示す図である。

図において、

3、3aはPDP（フラット型表示装置）、

4、4aは画面、

5は階調駆動装置、

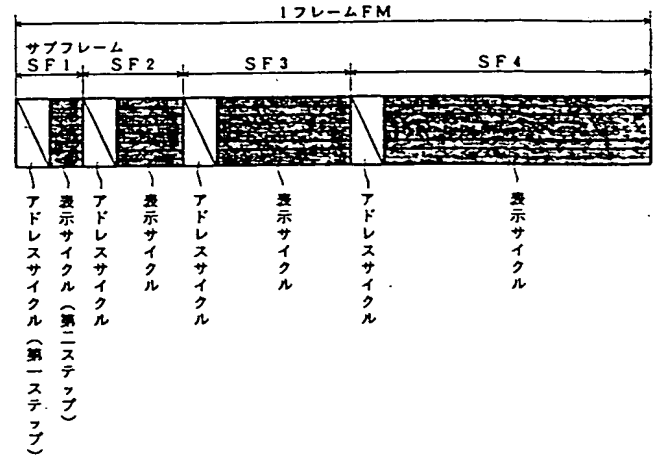
13はサブフレーム分割処理部（サブフレーム分割処理手段）、

14はスキヤン処理部（スキヤン処理手段）、

FMはフレーム、

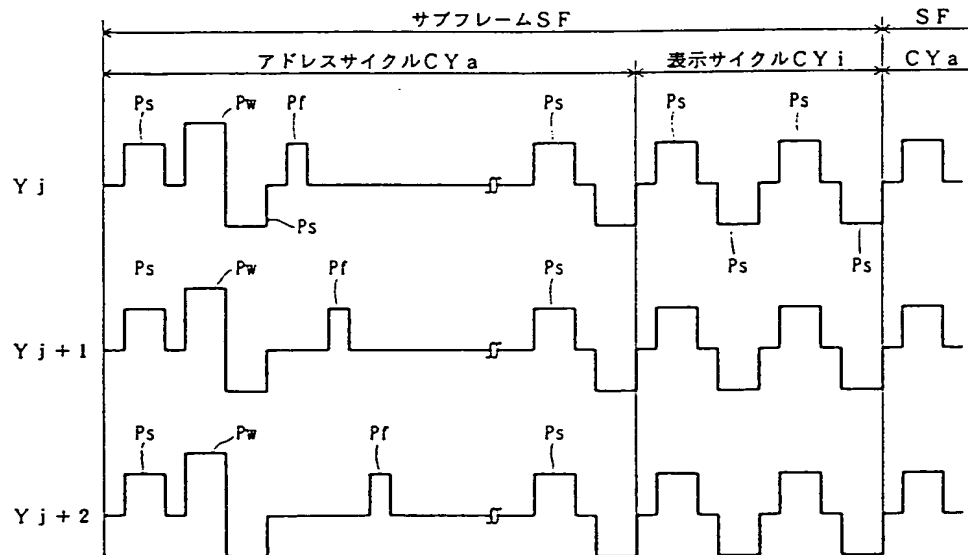
S F はサブフレーム、
C は放電セル（画素）、
C Y a はアドレスサイクル（第 1 ステップ）、
C Y i は表示サイクル（第 2 ステップ）である。

代理人 弁理士 井 裕 貞



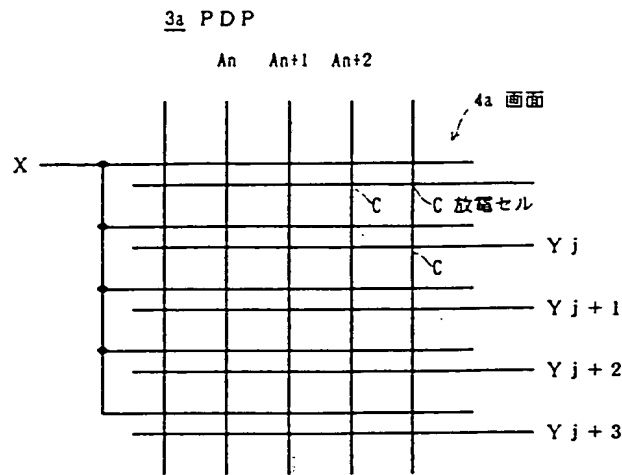
本発明に係る階調駆動方法を説明するための図

第 1 図



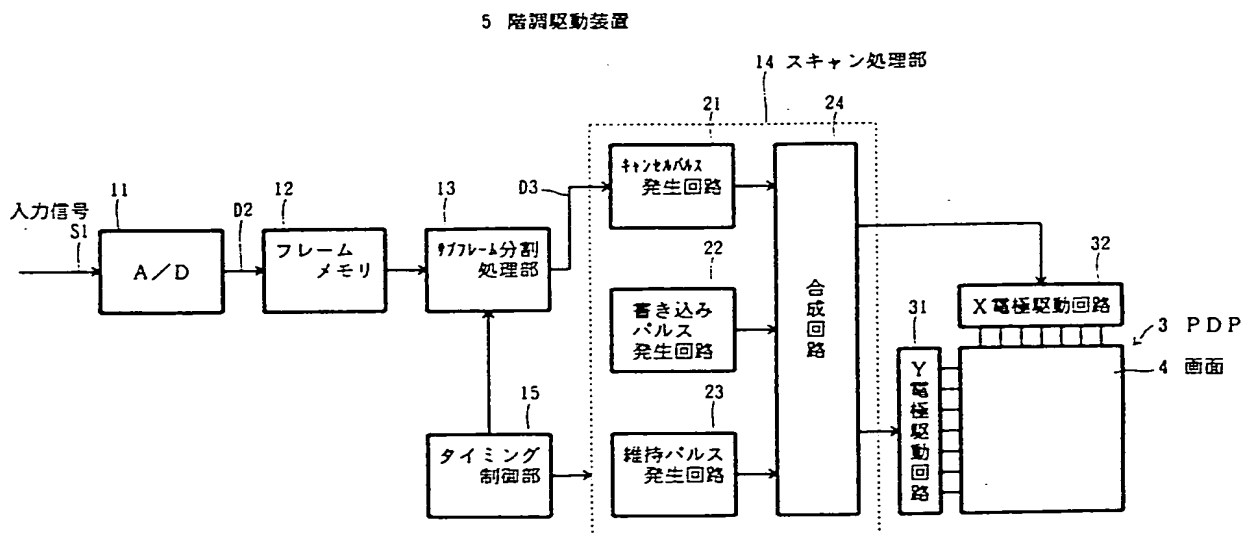
対向型のPDPに印加される駆動電圧の波形を示す図

第 2 図



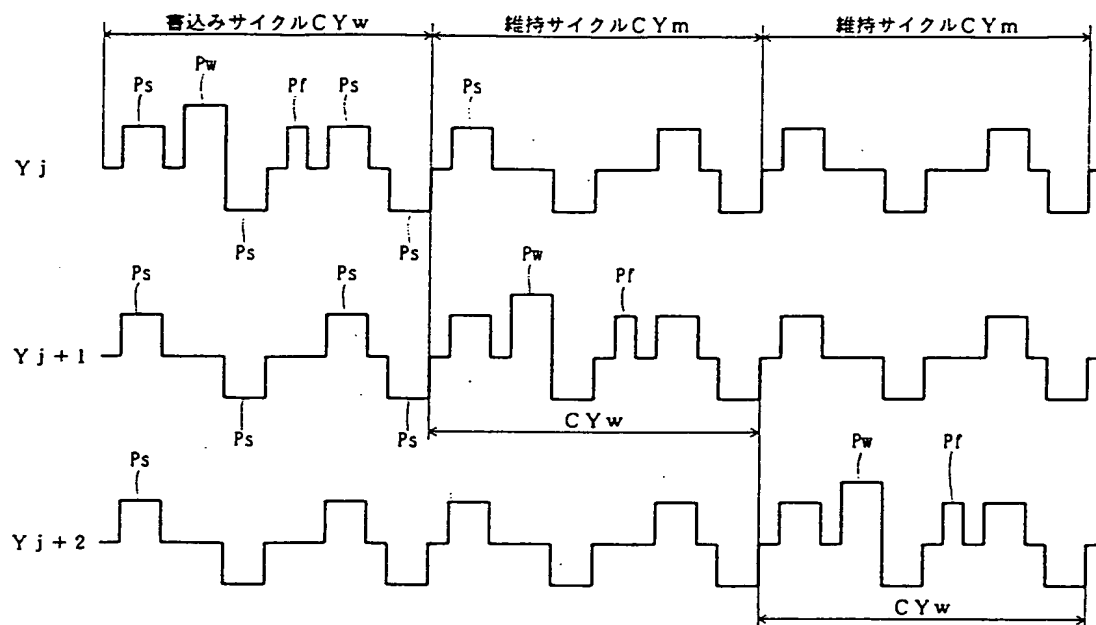
面放電型のPDPの概略の構成図

第 6 図



本発明に係る階調駆動装置を示すブロック図

第 7 図



対向放電型のPDPを階調表示するための従来の階調駆動方法を示す図

第 8 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.